

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number

10270662 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09076823

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 21/203
H01L 21/285 H01L 27/04 H01L 21/822

(22) Application date: 28.03.97

(30) Priority:

(43) Date of application publication: 09.10.98

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: KUROIWA TAKEHARU

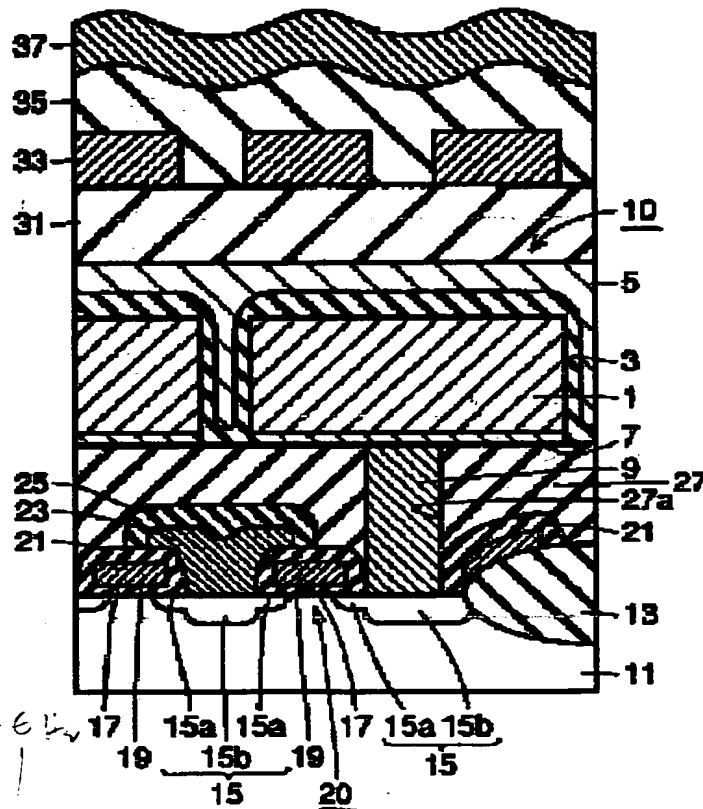
(74) Representative:

(54) SEMICONDUCTOR STORAGE DEVICE HAVING CAPACITOR AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To decrease the electric resistance and compressive stress and to obtain a fine electrode by making either a first or second electrode out of a kind of material or more selected from a group comprising Ru, Ir, Re, Pt, Pd, and Rh by sputtering evaporation in a gas containing a vol.% in a specific range of hydrogen.

SOLUTION: On an interlayer insulating film 27, a plug layer 9 is connected electrically to a conductive layer 1 for a storage node as a first electrode through a barrier layer 7 composed of a titanium nitride. This conductive layer 1 for a storage node is formed so as to be made up of one kind of material or more selected from a group comprising Ru, Ir, Re, Pt, Pd, and Rh by performing sputtering in a gas containing 0.1-4 vol.% of hydrogen. A capacitor dielectric layer 3 made out of high-permittivity material is formed so as to cover the conductive layer 1 for a storage node, by patterning this conductive layer 1.



COPYRIGHT: (C)1998,JPO

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION

Publication No. 10-270662

[0025] to [0034] and [0040] to [0042]

[0025] A semiconductor storage device having a capacitor according to one aspect of the present invention is a semiconductor storage device having a capacitor in which a capacitor dielectric layer containing a high dielectric material is interposed between first and second electrodes, wherein at least one of the first and second electrodes is made of at least one material selected from a group composed of Ru, Ir, Re, Pt, Pd and Rh, and contains hydrogen in a range of 0.01 atm % to 1 atm %.

[0026] A semiconductor storage device having a capacitor according to another aspect of the present invention is a semiconductor storage device having a capacitor in which a capacitor dielectric layer containing a high dielectric material is interposed between the first and second electrodes, wherein at least one of the first and second electrodes is made of at least one material selected from a group composed of Ru, Ir, Re, Pt, Pd and Rh, and contains nitrogen in a range of 0.01 atm % to 1 atm %.

[0027] In the above aspects of the present invention, it is preferable that the capacitor dielectric layer has a perovskite structure.

[0028] In the above aspects of the present invention, it is preferable that the high dielectric material contained in the capacitor dielectric layer is made of at least one material selected from a group composed of barium titanate strontium, tantalum oxide, lead zirconate titanate, lead lanthanum zirconate titanate, strontium titanate and barium titanate.

[0029]

[Embodiments] Embodiments of the present invention will be hereinbelow described with reference to drawings.

[0030] Embodiment 1

Figure 1 is a schematic sectional view of a semiconductor storage

device according to Embodiment 1 of the present invention. In Figure 1, a MOS transistor 20 is formed on the surface of a silicon substrate 11 separated by an isolation insulating film 13.

[0031] The MOS transistor 20 has a pair of source/drain regions 15, a gate insulating layer 17 and a gate electrode layer 19. The pair of source/drain regions 15 are formed apart from each other in the surface region of the silicon substrate 11. The source/drain regions 15 have an LDD structure composed of a lightly-doped region 15a and a heavily-doped region 16b. The gate electrode layer 19 is made of, for example, doped polysilicon and is formed on a region interposed between the pair of source/drain regions 15 through the gate insulating layer 17.

[0032] The circumference of the gate electrode layer 19 is covered with an insulating layer 21 made of, for example, a silicon oxide film, and a bit line 23 made of, for example, a doped polysilicon, is electrically connected to either region of the source/drain regions. The circumference of the bit line 23 is covered with an insulating layer 25 made of, for example, a silicon oxide film. Further, an interlayer insulating layer 27 made of, for example, BPSG (Boron-doped Phospho-Silicate Glass), of which upper surface is planarized, is formed so as to cover the MOS transistor 20, the bit line 23 and the like. A contact hall 27a is formed in this interlayer insulating layer 27 so as to reach the other region of the source/drain regions 15. The plug layer 9 made of, for example, a doped polysilicon is formed so as to bury the contact hall 27a therein. A capacitor 10 is formed to be electrically connected through the plug layer 9 to the source/drain regions 15.

[0033] The capacitor 10 has a storage node 1, a capacitor dielectric layer 3 and a cell plate 5. The storage node 1 is formed on the interlayer insulating layer 27 and is electrically connected to the plug layer 9 through the barrier layer 7. The barrier layer 7 is formed into, for example, a single-layered structure of titanium nitride, a two-layered structure of titanium nitride and titanium or a three-layered structure of titanium, titanium nitride and titanium. The capacitor dielectric layer 3 is made of a so-called high dielectric material as described above and is formed to cover the storage node 1. The cell plate 5 is formed opposite to the storage node 1 interposing the capacitor dielectric layer 3.

[0034] The storage node 1 and the cell plate 5 are each made of Ru metal containing, for example, hydrogen in a range of 0.01 atm % to 1 atm %. H₂

[0040] With reference to Figure 3, a barrier layer 7 made of, for example, titanium nitride and the conductor layer 1 for storage node made of Ru metal are sequentially deposited on the interlayer insulating layer 27. The conductor layer 1 for storage node is formed by sputtering in gas containing hydrogen in a range of, for example, 0.1 % by volume to 4 % by volume. The conductor layer 1 for storage node thus formed is made of a Ru metal containing hydrogen in a range of, for example, 0.01 atm % to 1 atm %. H₂

[0041] With reference to Figure 4, a resist pattern 41 of a predetermined shape is formed on the conductor layer 1 for storage node by an ordinary photoengraving technique. The conductor layer 1 for storage node and the barrier layer 7 are sequentially etched, using this resist pattern 41 as a mask, so that the storage node 1 having a desired shape is formed. Thereafter, the resist pattern 41 is removed.

[0042] With reference to Figure 5, the capacitor dielectric layer 3 made of high dielectric material is formed so as to cover the patterned storage node 1.

lower = $\begin{cases} \text{sputtering} \\ \text{H}_2 \text{ (reduce atm.)} \end{cases}$

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270662

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/203
21/285
27/04

3 0 1

H 0 1 L 27/10 6 2 1 B
21/203 S
21/285 3 0 1 Z
27/04 C
27/10 6 5 1

審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く

(21) 出願番号

特願平9-76823

(22) 出願日

平成9年(1997)3月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 黒岩 丈晴

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

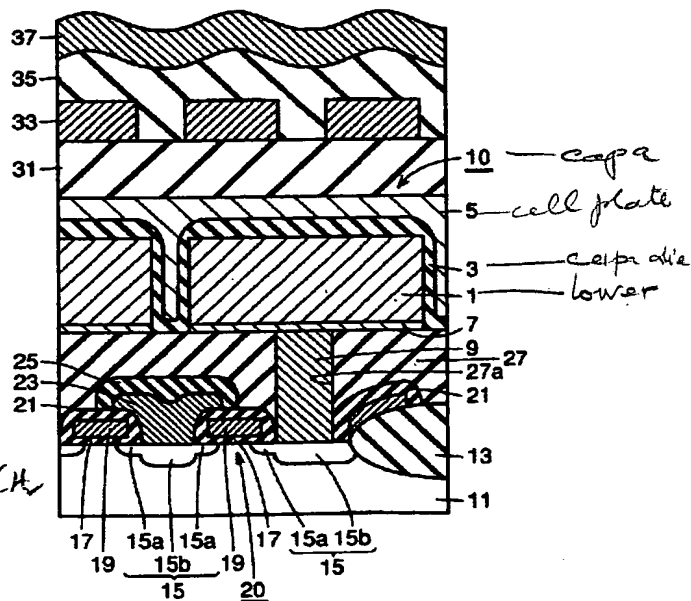
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 キャパシタを有する半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 低抵抗化が容易で、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を含むキャパシタを有する半導体記憶装置およびその製造方法を提供する。

【解決手段】 ストレージノード1およびセルプレート5が、水素を0.1体積%以上4体積%以下含むガス中でスパッタリングにより成膜され、たとえばRu金属よりなる。



1: ストレージノード
3: キャパシタ誘電体層
5: セルプレート
10: キャパシタ

【特許請求の範囲】

【請求項1】 高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置の製造方法であって、

前記第1および第2の電極の少なくともいずれかは、

0.1体積%以上4体積%以下の水素を含むガス中でスパッタ蒸着法により、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなるように形成される、キャパシタを有する半導体記憶装置の製造方法。

【請求項2】 高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置の製造方法であって、

前記第1および第2の電極の少なくともいずれかは、1体積%以上25体積%以下の窒素を含むガス中でスパッタ蒸着法により、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなるように形成される、キャパシタを有する半導体記憶装置の製造方法。

【請求項3】 前記キャパシタ誘電体層はペロブスカイト構造を有するように形成される、請求項1および2のいずれかに記載のキャパシタを有する半導体記憶装置の製造方法。

【請求項4】 前記キャパシタ誘電体層に含まれる前記高誘電率材料は、チタン酸バリウムストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれた1種以上の材料より形成される、請求項1～3のいずれかに記載のキャパシタを有する半導体記憶装置の製造方法。

【請求項5】 高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置であって、

前記第1および第2の電極の少なくともいずれかが、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなり、水素を0.01atm%以上1atm%以下含む、キャパシタを有する半導体記憶装置。

【請求項6】 高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置であって、

前記第1および第2の電極の少なくともいずれかが、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなり、窒素を0.01atm%以上1atm%以下含む、キャパシタを有する半導体記憶装置。

【請求項7】 前記キャパシタ誘電体層はペロブスカイト構造を有する、請求項5および6のいずれかに記載のキャパシタを有する半導体記憶装置。

【請求項8】 前記キャパシタ誘電体層に含まれる前記

高誘電率材料は、チタン酸バリウムストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれた1種以上の材料よりなっている、請求項5～7のいずれかに記載のキャパシタを有する半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、キャパシタを有する半導体記憶装置およびその製造方法に関し、より特定的には、高誘電率材料を含むキャパシタ誘電体層を1対の電極で挟んでなるキャパシタを有する半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、コンピュータなどの情報機器の目ざましい普及によって、半導体記憶装置の需要が急速に拡大している。また機能的には、大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体記憶装置の高集積化および高速応答性あるいは高信頼性に関する技術開発が進められている。

【0003】 半導体記憶装置の中で、記憶情報のランダムな入出力が可能なものとして、DRAM (Dynamic Random Access Memory) が一般的に知られている。このDRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】 このように構成されるDRAMの半導体チップ上において、メモリセルアレイは大きな面積を占めている。また、このメモリセルアレイには、単位記憶情報を蓄積するためのメモリセルがマトリックス状に複数個配列されて形成されている。このメモリセルは、通常1個のMOS (Metal Oxide Semiconductor) トランジスタと、これに接続された1個のキャパシタとから構成されており、1トランジスタ1キャパシタ型のメモリセルとして広く知られている。このような構成を有するメモリセルは、その構造が簡単なためメモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

【0005】 DRAMの高集積化を1Gbit (ギガビット) に代表されるGbit級へと押し進めた場合、メモリセルサイズの縮小が余儀なくされる。このメモリセルサイズの縮小に伴って、キャパシタの平面的な占有面積も同時に縮小される。そのため、キャパシタに蓄えられる電荷量 (1ビットのメモリセルに蓄えられる電荷量) が低下することになり、記憶領域としてのDRAMの動作が不安定なものとなり、信頼性が低下する。

【0006】 かかるDRAMの動作の不安定化を防止するため、限られた平面占有面積内においてキャパシタの容量を増加させる必要がある。その手段の1つとして、キャパシタ誘電体層に、いわゆる高誘電率材料と呼ばれ

10

20

30

40

50

る材料を採用する方法が検討されている。ここで高誘電率材料とは、一般にシリコン酸化膜の数倍から数百倍の誘電率を有する材料であり、この高誘電率材料をキャパシタ誘電体層に用いることにより、キャパシタの形状を比較的単純な形状に維持したまま、容易に容量の増加を図ることが可能となる。

【0007】なお、この高誘電率材料と呼ばれる材料の一例としては、チタン酸バリウムストロンチウム ($\text{Ba}, \text{Sr})\text{TiO}_3$:BST)、酸化タンタル (Ta_2O_5)、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$:PZT)、チタン酸ジルコン酸ランタン鉛 ($\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$:PLZT)、チタン酸ストロンチウム (SrTiO_3 :STO)、チタン酸バリウム (BaTiO_3 :BTO) 等が挙げられる。

【0008】以下、キャパシタ誘電体層に高誘電率材料を用いた従来のメモリセル構造について説明する。

【0009】図13は、従来の半導体記憶装置の構成を概略的に示す断面図である。図13を参照して、素子分離絶縁層13によって分離されたシリコン基板11の領域には、MOSトランジスタ20が形成されている。

【0010】MOSトランジスタ20は、1対のソース／ドレイン領域15と、ゲート絶縁層17と、ゲート電極層19とを有している。1対のソース／ドレイン領域15は、互いに距離を隔ててシリコン基板11の表面に形成されている。このソース／ドレイン領域15は、低不純物濃度領域15aと高不純物濃度領域15bとからなるLDD (Lightly Doped Drain) 構造を有している。ゲート電極層19は、1対のソース／ドレイン領域15に挟まれる領域上にゲート絶縁層17を介在して形成されている。

【0011】ゲート電極層14の周囲は絶縁層21で覆われており、またソース／ドレイン領域15の一方には、ビット線23が電気的に接続されている。このビット線23を覆うように絶縁層25が形成されている。そしてMOSトランジスタ20、ビット線23などを覆うように層間絶縁層27が形成されている。この層間絶縁層27には、ソース／ドレイン領域15の他方に達するコンタクトホール27aが形成されている。このコンタクトホール27aを埋込むようにプラグ層9が形成されており、このプラグ層9を通じてソース／ドレイン領域15と電気的に接続するようにキャパシタ110が形成されている。

【0012】キャパシタ110は、ストレージノード101と、キャパシタ誘電体層103と、セルプレート105とを有している。ストレージノード101は、層間絶縁層27上に形成され、かつバリア層7を介在してプラグ層9と電気的に接続されている。キャパシタ誘電体層103は、上述したいわゆる高誘電率材料よりなっており、ストレージノード101を覆うように形成されている。セルプレート105は、このキャパシタ誘電体層

103を介在してストレージノード101と対向するように形成されている。

【0013】このキャパシタ110を覆うように層間絶縁層31が形成されており、その層間絶縁層31上に、所望の形状にパターニングされた導電層33が形成されている。またこの導電層33を覆うように層間絶縁層35が形成されており、この層間絶縁層35上に所定の形状にパターニングされた導電層37が形成されている。

【0014】キャパシタ誘電体層103に高誘電率材料を用いた場合には、ストレージノード101の材料には、酸化物を作りやすく、酸化物となっても導電性を維持でき、かつキャパシタ誘電体層103のペロプスカイト構造を得やすい材料が求められる。これらの特性を満たす材料として、Ru (ルテニウム)、Ir (イリジウム)、Re (レニウム)、Pt (白金)、Pd (パラジウム)、Rh (ロジウム) などが選ばれる。

【0015】そしてこの場合、ストレージノード101とセルプレート105との電気的特性の非対称性をなくすために、セルプレート105にはストレージノード101と同じ材質が用いられることが好ましい。

【0016】従来の半導体記憶装置の製造方法では、ストレージノード101とセルプレート105とを上述の材質で形成する場合、ストレージノード101とセルプレート105とは、あらかじめ高真空 (10^{-6} Torr 程度) に排気したチャンバーでスパッタリングにより成膜される。

【0017】

【発明が解決しようとする課題】従来の半導体記憶装置の製造方法では、上述したように、ストレージノード101などのスパッタリング時にはチャンバ内は高真空の状態とされる。しかし、その成膜用のチャンバ内は、完全に真空の状態にはなっておらず、酸素などが残留している。このため、スパッタリングにより成膜する際、ストレージノード101やセルプレート105中に酸素が取込まれてしまう。取込まれた酸素は、ストレージノード101などのRuと反応して高抵抗のRu酸化物を形成する。これにより、ストレージノード101やセルプレート105の導電性が低下し、電極101、105の低抵抗化が困難になるという問題点があった。

【0018】またストレージノード101などに酸素が取込まれると、ストレージノード101などには膨張しようとする力、つまり圧縮応力が働くことになる。この圧縮応力がかかった状態でキャパシタ誘電体層103が成膜されると、その成膜時の加熱温度により、ストレージノード101が変形する (歪む)。キャパシタ誘電体層103の成膜時にストレージノード101が変形するため、キャパシタ誘電体層103には格子歪が生じる。この格子歪により、キャパシタ誘電体層103中での原子の移動が妨げられ、誘電体層の分極量が小さくなり、キャパシタ誘電体層103の誘電率が低くなる。よつ

て、キャパシタ容量が低下し、G b i t 級でのDRAMの動作が不安定になるという問題点もあった。

【0019】加えて、従来の方法で形成されるストレージノード101やセルプレート105では、結晶粒が不均一に、かつ大きく成長する。このため、キャパシタの電気特性や電極のパターニング時における加工性が損なわれてしまうという問題点もあった。

【0020】それゆえ、本発明の目的は、低抵抗化が容易で、圧縮応力が小さく、かつ結晶粒が均一な電極を含むキャパシタを有する半導体記憶装置およびその製造方法を提供することである。

【0021】

【課題を解決するための手段】本発明の1の局面に従うキャパシタを有する半導体記憶装置の製造方法は、高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置の製造方法であって、第1および第2の電極の少なくともいずれかは、0.1体積%以上4体積%以下の水素を含むガス中でスパッタ蒸着法により、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなるように形成される。

【0022】本発明の他の局面に従うキャパシタを有する半導体記憶装置の製造方法は、高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置の製造方法であって、第1および第2の電極の少なくともいずれかは、1体積%以上25体積%以下の窒素を含むガス中でスパッタ蒸着法により、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなるように形成される。

【0023】上記局面においては好ましくは、キャパシタ誘電体層はペロブスカイト構造を有するように形成される。

【0024】上記局面において好ましくは、キャパシタ誘電体層に含まれる高誘電率材料は、チタン酸バリウムストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれた1種以上の材料より形成される。

【0025】本発明の1の局面に従うキャパシタを有する半導体記憶装置は、高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタを有する半導体記憶装置であって、第1および第2の電極の少なくともいずれかが、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなり、水素を0.01atm%以上1atm%以下含んでいる。

【0026】本発明の他の局面に従うキャパシタを有する半導体記憶装置は、高誘電率材料を含むキャパシタ誘電体層を第1および第2の電極で挟んでなるキャパシタ

を有する半導体記憶装置であって、第1および第2の電極の少なくともいずれかが、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなり、窒素を0.01atm%以上1atm%以下含んでいる。

【0027】上記局面において好ましくは、キャパシタ誘電体層はペロブスカイト構造を有している。

【0028】上記局面において好ましくは、キャパシタ誘電体層に含まれる高誘電率材料は、チタン酸バリウムストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれた1種以上の材料よりなっている。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。

【0030】実施の形態1

図1は、本発明の実施の形態1における半導体記憶装置の構成を概略的に示す断面図である。図1を参照して、素子分離絶縁層13によって分離されたシリコン基板11の表面には、MOSトランジスタ20が形成されている。

【0031】MOSトランジスタ20は、1対のソース／ドレイン領域15と、ゲート絶縁層17と、ゲート電極層19とを有している。1対のソース／ドレイン領域15は、互いに距離を隔ててシリコン基板11の表面に形成されている。このソース／ドレイン領域15は、低不純物濃度領域15aと高不純物領域の15bとからなるLDD構造を有している。ゲート電極層19は、たとえばドーフト多結晶シリコンよりなり、1対のソース／ドレイン領域15に挟まれる領域上にゲート絶縁層17を介して形成されている。

【0032】ゲート電極層19の周囲は、たとえばシリコン酸化膜よりなる絶縁層21で覆われており、またソース／ドレイン領域の一方には、たとえばドーフト多結晶シリコンよりなるビット線23が電気的に接続されている。このビット線23の周囲は、たとえばシリコン酸化膜よりなる絶縁層25で覆われている。そしてMOSトランジスタ20、ビット線23等を覆うように上部表面が平坦化された、たとえばBPSG (Boron-doped Phospho-Silicate Glass) よりなる層間絶縁層27が形成されている。この層間絶縁層27には、ソース／ドレイン領域15の他方に達するコンタクトホール27aが形成されている。このコンタクトホール27aを埋込むように、たとえばドーフト多結晶シリコンよりなるプラグ層9が形成されており、このプラグ層9を通じてソース／ドレイン領域15と電気的に接続するようにキャパシタ10が形成されている。

【0033】キャパシタ10は、ストレージノード1と、キャパシタ誘電体層3と、セルプレート5とを有し

ている。ストレージノード1は、層間絶縁層27上に形成され、かつバリア層7を介在してプラグ層9と電気的に接続されている。バリア層7は、たとえば窒化チタンの単層構造、または窒化チタンとチタンとの2層構造、またはチタンと窒化チタンとチタンとの3層構造により形成されている。キャパシタ誘電体層3は、上述したいわゆる高誘電率材料よりなっており、ストレージノード1を覆うように形成されている。セルプレート5は、このキャパシタ誘電体層3を介在してストレージノード1と対向するように形成されている。

【0034】ストレージノード1とセルプレート5とは、たとえば水素を0.01atm%以上1atm%以下含むRu金属よりなっている。

【0035】このキャパシタ10を覆うように層間絶縁層31が形成され、その層間絶縁層31上にパターンニングされた導電層33が形成されている。この導電層33上に層間絶縁層35が形成され、この層間絶縁層35上にパターンニングされた導電層37が形成されている。この導電層33および37は、たとえばアルミニウムを含む材料よりなっている。

【0036】次に、本実施の形態の製造方法について説明する。図2～図6は、本発明の実施の形態1における半導体記憶装置の製造方法を工程順に示す概略断面図である。まず図2を参照して、シリコン基板11の表面にたとえばLOCOS (Local Oxidation of Silicon) 法などにより分離絶縁層13が形成される。

【0037】そしてシリコン基板11の表面にゲート絶縁層17を介在してゲート電極層19が形成される。このゲート電極層19などをマスクとしてイオン注入を施すことにより、比較的低濃度の不純物領域15aが形成される。ゲート電極層19を覆うように絶縁層21が形成される。この絶縁層21などをマスクとしてイオン注入を施すことにより比較的高濃度の不純物領域15bが形成される。この比較的低濃度および比較的高濃度の不純物領域15a、15bによりLDD構造のソース/ドレイン領域15が形成される。このようにしてMOSトランジスタ20が形成される。

【0038】ソース/ドレイン領域12の一方と接するようにビット線23が絶縁層21上を延在するように形成される。このビット線23を覆うように絶縁層25が形成される。ビット線23、MOSトランジスタ20などを覆うようにたとえばBPSG膜よりなる層間絶縁層27が、シリコン基板11の表面全面に形成された後、平坦化处理される。

【0039】通常の写真製版技術およびエッチング技術により、この層間絶縁層27に、ソース/ドレイン領域15に達するコンタクトホール27aが開口される。その後、コンタクトホール27aを埋込むように層間絶縁層27上に導電層が形成され、この導電層に全面エッチバックが施されて、コンタクトホール27a内を埋込む

プラグ層9が形成される。

【0040】図3を参照して、層間絶縁層27上に、たとえば窒化チタンよりなるバリア層7と、Ru金属よりなるストレージノード用導電層1とが順次積層される。ここで、ストレージノード用導電層1は、たとえば0.1体積%以上4体積%以下の水素を含むガス中でスパッタリングすることにより形成される。このように形成されたストレージノード用導電層1は、たとえば水素を0.01atm%以上1atm%以下含むRu金属よりなる。

【0041】図4を参照して、ストレージノード用導電層1上に、通常の写真製版技術により所定の形状でレジストパターン41が形成される。このレジストパターン41をマスクとしてストレージノード用導電層1とバリア層7とが順次エッチングされ、所望の形状を有するストレージノード1が形成される。この後、レジストパターン41が除去される。

【0042】図5を参照して、パターンニングされたストレージノード1を覆うように高誘電率材料よりなるキャパシタ誘電体層3が形成される。

【0043】図6を参照して、このキャパシタ誘電体層3を介在してストレージ1と対向するようにセルプレート5が、たとえば0.1体積%以上4体積%以下の水素を含むガス中でスパッタリングされることにより形成される。このように形成されるセルプレート5は、たとえば水素を0.01atm%以上1atm%以下含むRu金属よりなる。

【0044】この後、図1に示すように層間絶縁層31、導電層33、層間絶縁層35および導電層37が、この順で形成されて、半導体記憶装置が完成する。

【0045】次に本願発明者が行なった実験について説明する。本願発明者は、ガス中に水素を含む条件および水素を含まない条件でスパッタリングした各電極に対して、抵抗値、応力値および平均粒径を調べるための実験を行なった。その実験の方法および結果について以下に示す。

【0046】(1) 電極の比抵抗について
シリコン基板上にゲート酸化膜500nmを形成した後スパッタリングによりRu膜を400℃で200nmの膜厚で成膜した。このRu膜のシート抵抗値から比抵抗を計算した。これにより得られた比抵抗と水素添加量との関係を図7に示す。

【0047】図7を参照して、スパッタガス中の水素の添加量が0体積% (以下、水素無添加と称する) の場合のRu膜の比抵抗が $10\mu\Omega\cdot\text{cm}$ であった。これに対して、水素を0.1体積%添加することでRu膜の比抵抗は $8.6\mu\Omega\cdot\text{cm}$ となり、水素無添加の場合より15%減少した。またスパッタガス中の水素添加量を増やしていくとそれに伴って比抵抗が低下した。

【0048】また水素添加量が0.05体積%では比抵

抗が $9.8 \mu\Omega \cdot \text{cm}$ で水素無添加のものとはほとんど変化はなかった。一方、水素添加量が4体積%、5体積%の双方とも、比抵抗が $7.6 \mu\Omega \cdot \text{cm}$ であり、双方において差が認められなかった。

【0049】以上の結果より比抵抗に関してのスパッタガス中への効果的な水素添加量は0.1体積%以上4体積%以下であることがわかった。

【0050】この結果は、水素添加による還元反応によって、成膜チャンバ中の残留ガス成分のうち酸素のRu膜中への混入や、残留酸素によるRuの酸化反応を抑制できたことによるものと考えられる。

【0051】なお、Ruのバルクの比抵抗は $7.46 \mu\Omega \cdot \text{cm}$ (理化学辞典)、CVDにより成膜されたRu膜の比抵抗は $16.9 \mu\Omega \cdot \text{cm}$ (J Electrochem Soc, 132, pp 2677-2685)である。

【0052】(2) 電極のコンタクト抵抗について次に、図1においてバリア層7をチタン(Ti)膜と窒化チタン(TiN)膜との積層構造とし、そのバリア層7上にスパッタリングによりRu膜を形成した。具体的にはRu(200nm)1/TiN(35nm)7/Ti(10nm)7/多結晶シリコン9構造を作製し、その構造における $1 \mu\text{m}$ □のサイズのコンタクト抵抗測定用パターンを4端子法で測定した。これにより得られたコンタクト抵抗と水素添加量との関係を図8に示す。

【0053】図8を参照して、水素無添加の場合のコンタクト抵抗が 45Ω であったのに比べ、水素を0.1体積%添加した場合にはコンタクト抵抗は 38Ω となり、水素無添加の場合より15%減少した。また、スパッタガス中の水素添加量が多くなるほど、Ruのコンタクト抵抗も減少した。

【0054】また水素添加量が0.05体積%では、コンタクト抵抗が 44Ω で水素無添加のものとはほとんど変化はなかった。一方、水素添加量が4体積%、5体積%の双方とも、コンタクト抵抗が 23Ω 前後(それぞれ 23Ω 、 22.5Ω)で、双方において差が認められなかった。

【0055】以上の結果より、コンタクト抵抗に関してのスパッタガス中への効果的な水素添加量は0.1体積%以上4体積%以下であることがわかった。

【0056】この結果は、水素添加による還元反応によって、成膜チャンバ中の残留ガス成分のうち酸素のRu膜中への混入や、残留酸素によるRuの酸化反応を抑制できたことによると同時に、スパッタリング時の水素プラズマがコンタクト抵抗を増大させる自然酸化物などを還元し多結晶シリコン表面のクリーニング効果をもたらすことによるものと考えられる。

【0057】(3) 電極の応力についてシリコン基板上にスパッタリングによりRu膜を 400°C で 300 nm の膜厚で成膜し、得られたウェハの反り量からRu膜の応力を計算した。これにより得られた応

力と水素添加量との関係を図9に示す。なお図9に示されている応力値は、Ru膜内の圧縮応力値を示している。

【0058】図9を参照して、水素無添加の場合の応力値が $3.0 \times 10^{-9} \text{ dyn/cm}^2$ であったのに比べ、水素を0.1体積%添加した場合には圧縮応力が $2.3 \times 10^{-9} \text{ dyn/cm}^2$ となり減少した。

【0059】また水素添加量が0.05体積%では応力値は $2.9 \times 10^{-9} \text{ dyn/cm}^2$ で、水素無添加のものとはほとんど変化はなかった。一方、水素添加量が4体積%の場合には、応力値が $2.7 \times 10^{-9} \text{ dyn/cm}^2$ で水素無添加のものとは比べ若干であるが圧縮応力が低くなっていた。また水素添加量が5体積%の場合には、圧縮応力値が $4.0 \times 10^{-9} \text{ dyn/cm}^2$ となり、水素無添加のものよりも圧縮応力が大きくなり逆効果となっていることがわかった。

【0060】以上の結果より、応力に関してのスパッタガス中への効果的な水素添加量は0.1体積%以上4体積%以下であることがわかった。

【0061】この結果は、水素添加による還元反応によって、成膜チャンバ中の残留ガス成分のうち酸素のRu膜中への混入や、残留酸素によるRuの酸化反応を抑制できたことによるものと考えられる。酸素原子の大きさは水素原子に比べ大きいし、またRu酸化物になるとRuの場合よりも体積が増大するからである。また、水素を5体積%以上添加した場合には、水素混入による膜応力の増大が顕著になるため、水素無添加の場合よりも圧縮応力が大きくなったものと考えられる。

【0062】(4) 電極の平均粒径についてシリコン基板上にスパッタリングによりRu膜を 400°C で 200 nm の膜厚で成膜し、Ru膜表面のSEM観察から粒径を見積もった。これにより得られた平均粒径と水素添加量との関係を図10に示す。

【0063】図10を参照して、水素無添加の場合の平均粒径が $0.08 \mu\text{m}$ であったのに比べ、水素を0.1体積%添加した場合にはRuの結晶粒径が $0.07 \mu\text{m}$ となり細粒化していた。また結晶粒径のばらつきも、水素無添加の場合には $0.155 \mu\text{m} \sim 0.035 \mu\text{m}$ であるのに比べ、水素を0.1体積%添加した場合には $0.099 \mu\text{m} \sim 0.4 \mu\text{m}$ と小さくなり、均一化していた。

【0064】また水素添加量が0.05体積%では平均粒径が $0.079 \mu\text{m}$ であり、水素無添加のものとはほとんど変化がなく、ばらつきも $0.153 \mu\text{m} \sim 0.035 \mu\text{m}$ で水素無添加のものとはほとんど変化はなかった。一方、水素添加量が4体積%、5体積%の双方とも、平均粒径が $0.04 \mu\text{m}$ 、 $0.039 \mu\text{m}$ となり、双方において差が認められなかった。またばらつきについても水素添加量が4体積%のものは $0.055 \mu\text{m} \sim 0.027 \mu\text{m}$ であるのに対し、5体積%のものは 0.057

$\mu\text{m} \sim 0.025 \mu\text{m}$ と差が認められなかった。

【0065】また、1 G b i t DRAMではキャパシタ1個のサイズ(平面投影サイズ)がおおよそ $0.2 \mu\text{m} \times 0.5 \mu\text{m}$ 程度と考えられる。このため、キャパシタの電極の加工性や電気特性の安定性を考慮すると、Ruの最大の結晶粒径を $0.1 \mu\text{m}$ 以下とし、かつ均一化することが好ましい。よって、平均粒径に関してのスパッタガス中への効果的な水素添加量は0.1体積%以上4体積%以下である。

【0066】この結果は、水素添加により、膜中に混入した水素が結晶粒の粒成長を抑制したために生じたものと考えられる。

【0067】以上(1)～(4)の結果より、抵抗値、応力値および平均粒径のすべてにおいて適切な値を満たす水素添加量の範囲は0.1体積%以上4体積%であることが判明した。上記知見に基づいて本実施の形態の半導体記憶装置およびその製造方法はなされている。

【0068】なお、水素を0.1体積%以上4体積%以下含むガス中でスパッタを行なうことでストレージノード1およびセルプレート5を形成した場合、Ru膜よりなるストレージノード1およびセルプレート5には、0.01atm%以上1atm%以下の水素が含まれていた。

【0069】本実施の形態では、0.1体積%以上4体積%以下の水素を含むガス中でスパッタリングによりストレージノード1およびセルプレート5が形成される。このため、電気抵抗が小さく、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができ、G b i t級に適した半導体記憶装置を得ることができる。

【0070】なお、スパッタガス中の水素含有量が0.1体積%未満では電気抵抗、応力、粒径に水素添加の顕著な効果が得られない。またスパッタガス中の水素含有量が4体積%を超えると、電気抵抗および結晶粒径が4体積%の値と変化がないばかりか、圧縮応力が逆に水素無添加のものよりも大きくなってしまう。

【0071】上記の条件で製造される本実施の形態の半導体記憶装置は、ストレージノード1およびセルプレート5のいずれかが、水素を0.01atm%以上1atm%以下含むRu膜よりなっている。このため、電気抵抗が小さく、圧縮応力が小さく、かつ結晶粒が均一な電極が得られる。

【0072】実施の形態2

実施の形態2の構成は、図1に示す実施の形態1の構成とストレージノード1およびセルプレート5の構成が異なる。本実施の形態におけるストレージノード1およびセルプレート5は、窒素を0.01atm%以上1atm%以下含んでおり、またRu、Ir、Re、Pt、Pd、Rhよりなる金属または合金よりなっている。

【0073】なお、これ以外の構成については実施の形態1とほぼ同様であるため、その説明を省略する。

【0074】また本実施の形態の製造方法は、図2～図6に示す実施の形態1と比較して、ストレージノード1およびセルプレート5の製造方法が異なる。

【0075】ストレージノード1およびセルプレート5は、1体積%以上25体積%以下の窒素を含むガス中でスパッタリングすることにより形成される。またストレージノード1およびセルプレート5は、Ru、Ir、Re、Pt、Pd、Rhよりなる金属または合金より形成される。

【0076】なお、これ以外の製造工程および条件については、実施の形態1とほぼ同様であるためその説明を省略する。

【0077】次に、本願発明者が行なった実験について説明する。本願発明者は、スパッタガス中に窒素を含む条件および窒素を含まない条件でスパッタリングした各電極に対して、応力値および平均粒径を調べるための実験を行なった。その実験の方法および結果について以下に示す。

【0078】(1) 電極の応力について

シリコン基板上にスパッタリングによりRu膜を 400°C で 300nm の膜厚で成膜し、得られたウェハの反り量から応力を計算した。これにより得られた応力と窒素添加量との関係を図11に示す。なお図11に示されている応力値は、Ru膜内の圧縮応力値を示している。

【0079】図11を参照して、窒素無添加の場合の応力値が $3.0 \times 10^{-9} \text{dyn/cm}^2$ であったのに比べ、窒素を1体積%添加した場合には応力値が $1.5 \times 10^{-9} \text{dyn/cm}^2$ となり減少した。

【0080】また窒素添加量が0.05体積%では応力値が $2.9 \times 10^{-9} \text{dyn/cm}^2$ であり、窒素無添加のものほとんど変化はなかった。一方、窒素添加量が25体積%の場合には、応力値が $2.7 \times 10^{-9} \text{dyn/cm}^2$ となり、窒素無添加のものに比べて若干であるが圧縮応力が低くなっていた。また窒素添加量が30体積%では、Ru膜は一部膜剥がれを生ずるほどの高い圧縮応力となっていた。なお、この場合、剥がれによる応力緩和のため応力値の具体的数値は示せない。

【0081】以上の結果より、応力に関してのスパッタガス中への効果的な窒素添加量は1体積%以上25体積%以下であることがわかった。

【0082】この結果は、窒素添加による還元反応を利用して、成膜チャンバからの脱ガス成分のうち酸素に起因した膜中への酸素混入やRuの酸化反応を抑制できたことによるものと考えられる。酸素原子の大きさは窒素原子に比べ大きいし、Ru酸化物になるとRuの場合よりも体積が増大するからである。また窒素を30体積%以上添加した場合には、窒素混入による膜応力の増大が顕著になるため、窒素無添加の場合よりも圧縮応力が大きくなったものと考えられる。

【0083】(2) 電極の平均粒径について

シリコン基板上にスパッタリングによりRu膜を400℃で200nmの膜厚で成膜し、Ru膜表面のSEM観察から粒径を見積もった。これにより得られた平均粒径と窒素添加量との関係を図12に示す。

【0084】図12を参照して、窒素無添加の場合の平均粒径が0.8μmであったのに比べ、窒素を1体積%添加した場合には、Ruの平均粒径が0.65μmとなり細粒化していた。また結晶粒径のばらつきも、窒素無添加の場合には0.155μm~0.035μmであるのに比べ、窒素を1体積%添加した場合には0.091μm~0.03μmと小さくなり、均一化していた。

【0085】また窒素添加量が0.5体積%では平均粒径が0.79μmであり、窒素無添加の場合とほとんど変化はなく、ばらつきも0.154μm~0.034μmで窒素無添加のものとはほとんど変化はなかった。一方、窒素添加量が25体積%の場合には平均粒径が0.39μm、ばらつきが0.056μm~0.025μmであった。しかし窒素添加量が30体積%ではRu膜が一部膜剥がれを生じ、実用的でないことがわかった。この一部膜剥がれを生じたRu膜のはがれていない部分の評価では平均粒径0.40μmであり、ばらつきは0.055μm~0.025μmであった。

【0086】また、1Gb i t DRAMではキャパシタ1個のサイズ(平面投影サイズ)がおおよそ0.2μm×0.5μm程度と考えられる。このため、キャパシタの電極の加工性や電気特性の安定性を考慮すると、Ruの最大の結晶粒径を0.1μm以下にし、かつ均一化することが好ましい。よって、平均粒径に関してのスパッタガス中への効果的な窒素添加量は1体積%以上25体積%以下であることがわかった。

【0087】この結果は、窒素添加により、膜中に混入した窒素が結晶粒の粒成長を抑制するために生じたものと考えられる。

【0088】上記(1)および(2)の結果より、応力値および平均粒径の双方において適切な値を満たす窒素添加量の範囲は、1体積%以上25体積%以下であることが判明した。上記知見に基づいて本実施の形態の半導体記憶装置およびその製造方法はなされている。

【0089】窒素を1体積%以上25体積%以下含むガス中でスパッタリングを行なってストレージノード1およびセルプレート5を形成した場合、Ru膜よりなるストレージノード1およびセルプレート5には、0.01atm%以上1atm%以下の窒素が含まれていた。

【0090】本実施の形態では、1体積%以上25体積%以下の窒素を含むガス中でスパッタリングによりストレージノード1およびセルプレート5が形成される。このため、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができGb i t 級に適した半導体記憶装置を得ることができる。

【0091】なお、スパッタガス中の窒素含有量が1体

積%未満では、応力、結晶粒径に窒素添加の顕著な効果が得られない。また、ガス中の窒素含有量が25体積%を超えると、結晶粒径が25体積%の値と変化がないばかりか、圧縮応力が逆に窒素無添加のものよりも大きくなってしまう。

【0092】なお実施の形態1および2では、ストレージノード1およびセルプレート5の双方を、水素もしくは窒素を含むガス中でスパッタリングにより成膜する場合について説明したが、少なくともいずれかが水素または窒素を含むガス中でのスパッタリングにより成膜されればよい。

【0093】また、実施の形態1および2では、ストレージノード1およびセルプレート5が、Ru膜により形成された場合について説明したが、これに限られず、Ru、Ir、Re、Pt、Pd、Rhよりなる群から選ばれた1種以上の材料よりなっていればよい。

【0094】また、実施の形態1および2では、キャパシタ誘電体層3は、ペロブスカイト構造を有していることが望ましい。これにより、キャパシタ誘電体層3は高い誘電率を有し、Gb i t 級のDRAMへの適用が可能となるからである。

【0095】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0096】

【発明の効果】本発明の1の局面に従う半導体記憶装置の製造方法では、0.1体積%以上4体積%以下の水素を含むガス中でスパッタ蒸着法により第1および第2の電極の少なくともいずれかが形成される。このため、電気抵抗が小さく、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができる。

【0097】なお、ガス中の水素含有量が0.1体積%未満では、電気抵抗、応力、粒径に水素添加の顕著な効果が得られない。また、ガス中の水素含有量が4体積%を超えると、電気抵抗、粒径が4体積%の値と変化がないばかりか、圧縮応力値が逆に水素無添加のものよりも大きくなってしまう。

【0098】本発明の他の局面に従う半導体記憶装置の製造方法では、1体積%以上25体積%以下の窒素を含むガス中でスパッタ蒸着法により第1および第2の電極の少なくともいずれかが形成される。このため、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができる。

【0099】なお、ガス中の窒素含有量が1体積%未満では、応力、粒径に窒素添加の顕著な効果が得られない。また、ガス中の窒素含有量が25体積%を超えると粒径が25体積%の値と変化がないばかりか、応力値が

逆に窒素無添加のものよりも大きくなってしまふ。

【0100】上記局面において好ましくは、キャパシタ誘電体層はペロブスカイト構造を有している。これにより、キャパシタ誘電体層は高い誘電率を有し、Gbit級のDRAMへの適用が可能となる。

【0101】上記局面において好ましくは、キャパシタ誘電体層に含まれる高誘電率材料は、チタン酸バリウム、ストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれる1種以上よりなっている。このように適切な材料を選択することにより、キャパシタの電荷量を増大させることが可能となる。本発明の1の局面に従うキャパシタを有する半導体記憶装置では、第1および第2の電極に水素が0.01atm%以上1atm%以下含まれている。このため、電気抵抗が小さく、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができる。

【0102】本発明の他の局面に従うキャパシタを有する半導体記憶装置では、第1および第2の電極に窒素が0.01atm%以上1atm%以下含まれている。このため、圧縮応力が小さく、かつ結晶粒が均一かつ微細な電極を得ることができる。

【0103】上記局面において好ましくは、キャパシタ誘電体層はペロブスカイト構造を有している。これにより、キャパシタ誘電体層は高い誘電率を有し、Gbit級のDRAMへの適用が可能となる。

【0104】上記局面において好ましくは、ペロブスカイト構造を有する高誘電率材料は、チタン酸バリウム、ストロンチウム、酸化タンタル、チタン酸ジルコン酸鉛、チタン酸ジルコン酸ランタン鉛、チタン酸ストロンチウム、チタン酸バリウムよりなる群から選ばれた1種以上よりなる。このように適切な材料を選択することによ

り、キャパシタの電荷量を増大させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体記憶装置の構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1における半導体記憶装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施の形態1における半導体記憶装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施の形態1における半導体記憶装置の製造方法の第3工程を示す概略断面図である。

【図5】 本発明の実施の形態1における半導体記憶装置の製造方法の第4工程を示す概略断面図である。

【図6】 本発明の実施の形態1における半導体記憶装置の製造方法の第5工程を示す概略断面図である。

【図7】 実験の結果得られた比抵抗と水素添加量との関係を示す図である。

【図8】 実験の結果得られたコンタクト抵抗と水素添加量との関係を示す図である。

【図9】 実験の結果得られた応力と水素添加量との関係を示す図である。

【図10】 実験の結果得られた平均粒径と水素添加量との関係を示す図である。

【図11】 実験の結果得られた応力と窒素添加量との関係を示す図である。

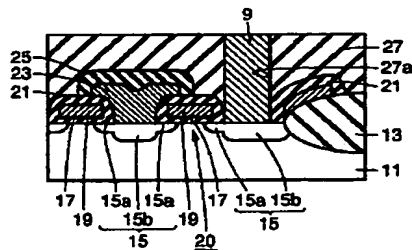
【図12】 実験の結果得られた平均粒径と窒素添加量との関係を示す図である。

【図13】 従来の半導体記憶装置の構成を概略的に示す断面図である。

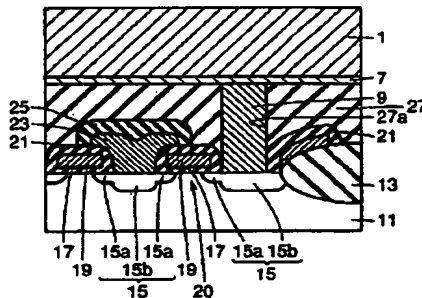
【符号の説明】

1 ストレージノード、3 キャパシタ誘電体層、5 セルプレート、10 キャパシタ。

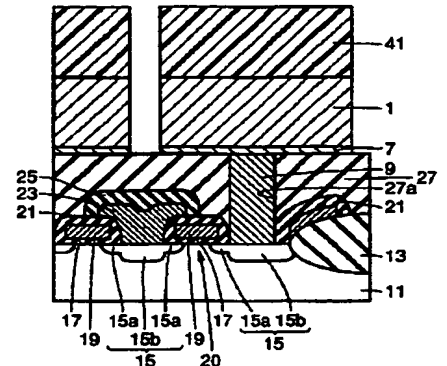
【図2】



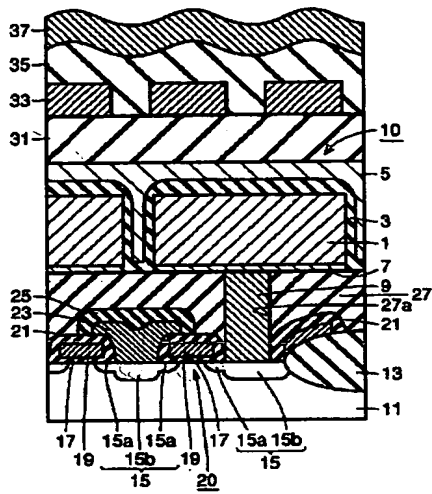
【図3】



【図4】

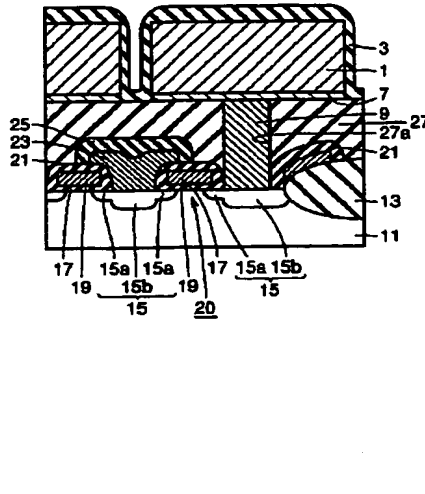


【図1】

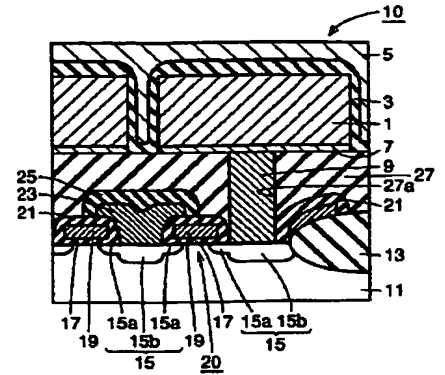


1: ストレージノード
3: キャパシタ誘電体層
5: セルプレート
10: キャパシタ

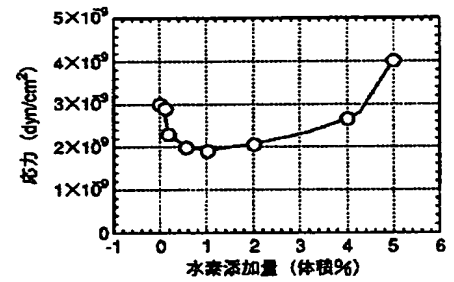
【図5】



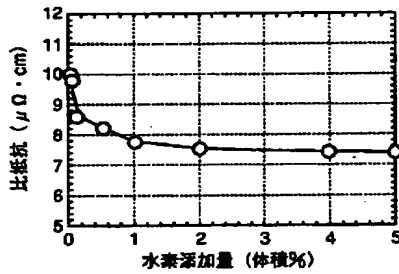
【図6】



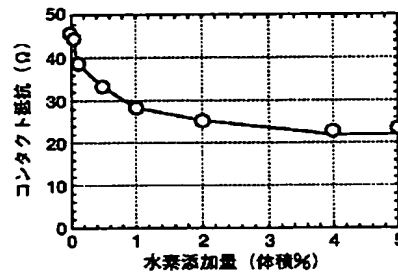
【図9】



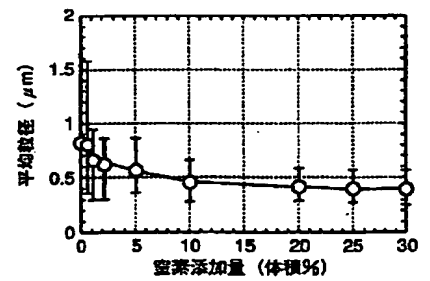
【図7】



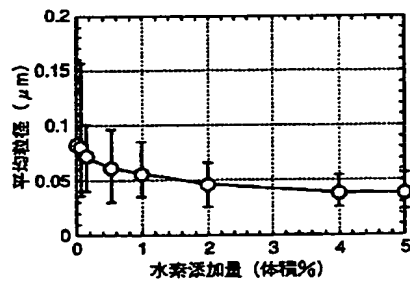
【図8】



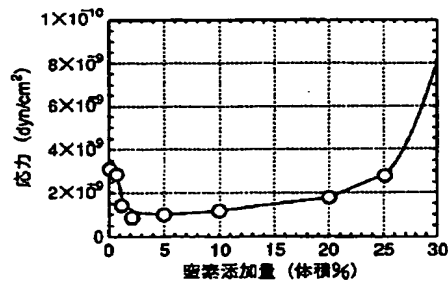
【図12】



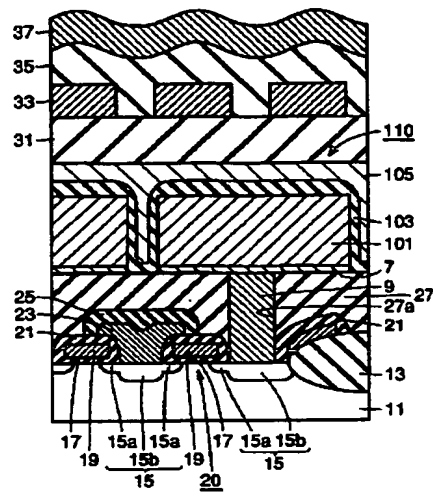
【図10】



【図11】



【図13】



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 21/822

識別記号

F I